

Таблица соответствия данных ОЗУ микросхем PCF8576 сегментам индикатора со встроенным управлением [C,K]F171Tx4xx[1,2,4](-Dy) (микросхема D1, вывод A0="0")

Адрес данных ОЗУ	Данные ОЗУ и соответствующие сегменты ИВУ			
	D0(BP0)	D1(BP1)	D2(BP2)	D3(BP3)
0	–	–	–	–
1	–	–	–	–
2	b24	b9	a24	a9
3	g24	g9	f24	f9
4	c24	c9	e24	e9
5	d24	d9	h24	h9
6	b23	b8	a23	a8
7	g23	g8	f23	f8
8	c23	c8	e23	e8
9	d23	d8	h23	h8
10	b22	b7	a22	a7
11	g22	g7	f22	f7
12	c22	c7	e22	e7
13	d22	d7	1KM	h7
14	b21	b6	a21	a6
15	g21	g6	f21	f6
16	c21	c6	e21	e6
17	d21	d6	h21	–
18	–	–	P5	–
19	P6	P4	P3	–
20	b20	b5	a20	a5
21	g20	g5	f20	f5
22	c20	c5	e20	e5
23	d20	d5	h20	h5
24	b19	b4	a19	a4
25	g19	g4	f19	f4
26	c19	c4	e19	e4
27	d19	d4	h19	h4
28	b18	b3	a18	a3
29	g18	g3	f18	f3
30	c18	c3	e18	e3
31	d18	d3	1ЧАС	АБОНИРОВАНИЕ
32	b17	b2	a17	a2
33	g17	g2	f17	f2
34	c17	c2	e17	e2
35	d17	d2	h17	P2
36	b16	b1	a16	a1
37	g16	g1	f16	f1
38	c16	c1	e16	e1
39	d16	d1	h16	P1

Примечание – Передача данных по I<sup>2</sup>C шине производится байтами, начиная с любого А адреса 4-битных данных ОЗУ с автоматическим инкрементированием адреса следующего байта данных до (А+2) адреса, в следующем формате:

МЗР				СЗР			
A.D0	A.D1	A.D2	A.D3	(A+1).D 0	(A+1).D 1	(A+1).D 2	(A+1).D 3

где МЗР – младший значащий разряд байта данных;

СЗР – старший значащий разряд байта данных.

Таблица соответствия данных ОЗУ микросхем PCF8576 сегментам индикатора со встроенным управлением [С,К]F171Тх4хх[1,2,4][-Dy] (микросхема D2, вывод А0="1")

Адрес данных ОЗУ	Данные ОЗУ и соответствующие сегменты ИВУ			
	D0(BP0)	D1(BP1)	D2(BP2)	D3(BP3)
0	–	–	–	–
1	–	–	–	–
2	–	–	–	–
3	–	№	ЗД	УНП
4	b33	Зав.	a33	–
5	g33	%	f33	РУБ
6	c33	ОЕ	e33	ПЛАТА
7	d33	ПР	h33	°С
8	b32	b15	a32	a15
9	g32	g15	f32	f15
10	c32	c15	e32	e15
11	d32	d15	h32	h15
12	b31	b14	a31	a14
13	g31	g14	f31	f14
14	c31	c14	e31	e14
15	d31	d14	ЗА	h14
16	b30	b13	a30	a13
17	g30	g13	f30	f13
18	c30	c13	e30	e13
19	d30	d13	h30	○
20	b29	b12	a29	a12
21	g29	g12	f29	f12
22	c29	c12	e29	e12
23	d29	d12	ТА	h12
24	b28	b11	a28	a11
25	g28	g11	f28	f11
26	c28	c11	e28	e11
27	d28	d11	ПЛА	Д
28	b27	b10	a27	a10
29	g27	g10	f27	f10
30	c27	c10	e27	e10
31	d27	d10	P13	ПРЕ
32	b26	КА	a26	СДАЧА
33	g26	СКИД	f26	P10
34	c26	P12	e26	P9
35	d26	–	–	–
36	b25	ИФ	a25	P8
37	g25	ТАР	f25	P7
38	c25	–	e25	–
39	d25	P11	P14	ЗАКАЗ

Примечание – Передача данных по I<sup>2</sup>C шине производится байтами, начиная с любого А адреса 4-битных данных ОЗУ с автоматическим инкрементированием адреса следующего байта данных до (А+2) адреса, в следующем формате:

МЗР				СЗР			
A.D0	A.D1	A.D2	A.D3	(A+1).D 0	(A+1).D 1	(A+1).D 2	(A+1).D 3

где МЗР – младший значащий разряд байта данных;

СЗР – старший значащий разряд байта данных.

Примечание - ТАР-ИФ = А37.D1 + А36.D1; СКИД-КА = А33.D1 + А32.D1;

ПЛА-ТА = А27.D2 + А23.D2;

ПРЕ-Д-О-ПЛАТА = А31.D3 + А27.D3 + А19.D3 + А6.D3;

ПР-ОЕ-ЗД = А7.D1 + А6.D1 + А3.D2